

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-193559  
(43)Date of publication of application : 10.08.1988

(51)Int.Cl. H01L 27/14  
H04N 5/335

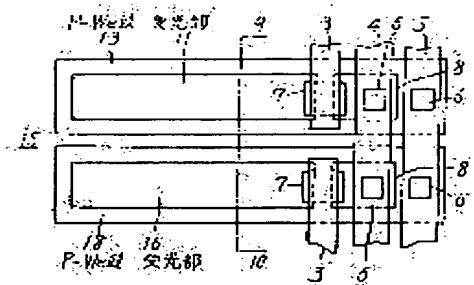
(21)Application number : 62-026123 (71)Applicant : NIKON CORP  
(22)Date of filing : 06.02.1987 (72)Inventor : AKAGAWA KEIICHI

**(54) MOS IMAGE SENSOR**

**(57)Abstract:**

**PURPOSE:** To diffuse pairs of holes and electrons generated in each layer into other picture elements and to avoid cross talk, by isolating a well for every picture element.

**CONSTITUTION:** Wells 13 and 18 are independently provided for each picture element on a semiconductor substrate. Pairs of electrons and holes are generated in an N<sup>+</sup> type semiconductor neutral region 11, which is a light receiving region, a depletion layer 12 and the P-well 13 with incident light P1. Of these electron-hole pairs, a part of minority carriers, which are generated in the P-well 13 are moved upward. Electric charge, which is stored in a bonding capacitor, i.e., a bonding capacitor 12 between the region 11 and the P-well 13, is discharged. Meanwhile, the other part is moved downward and becomes a current, which flows out of a wiring 5, together with the electron-hole pairs, which are generated in a depletion layer 14 and an N-type semiconductor substrate 15. At this time, electric charge, which is charged in the N<sup>+</sup> diffused part, i.e., the neighboring light receiving part, is not discharged. Therefore, cross talk is not generated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭63-193559

⑫ Int. Cl.  
H 01 L 27/14  
H 04 N 5/335

識別記号

厅内整理番号  
A-7525-5F  
E-8420-5C

⑬ 公開 昭和63年(1988)8月10日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 MOS型イメージセンサ

⑮ 特願 昭62-26123

⑯ 出願 昭62(1987)2月6日

⑰ 発明者 赤川圭一 東京都品川区西大井1丁目6番3号 日本光学工業株式会社  
大井製作所内

⑱ 出願人 日本光学工業株式会社 東京都千代田区丸の内3丁目2番3号

⑲ 代理人 弁理士 渡辺 隆男

## 明細書

1. 発明の名称 MOS型イメージセンサ

## 2. 特許請求の範囲

半導体基板に複数の互いに分離したウエル拡散を備え、該ウエル拡散の各々に1つの受光部と1つのMOSスイッチを備えた事を特徴とするMOS型イメージセンサ。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOS型イメージセンサに関するものである。

(従来の技術)

従来のMOS型イメージセンサ(面センサ、ラインセンサ)では、シリコン基板に拡散層を形成して2層構造としたものと、2回の拡散工程により3層構造としたものとがある。

第3図は前記2回の拡散工程により3層構造と

したMOS型ラインセンサの両端の受光部分の断面図を示す。第3図に於いて25はN形半導体よりなる基板、23は該基板25中に全西素共通に設けられるP形半導体による電位井戸(以下P-Wellと称す)、21、26は前記P-Well中に設けられた各西素を確定するN+半導体であり、以上の3層よりなる。この3層はいずれも中性領域である。22、24、27は上記3層の各P-N接合部の空乏層である。

この例では、N形半導体基板にP形半導体の拡散層を全西素共通に形成してP-Wellを構成し、そのP-Wellの中に複数のN+型半導体の拡散層を独立して列状に整列する如く形成する。該N+型半導体とP-Wellとの接合容量が受光部を構成する。尚、該N+半導体に図示しないゲート酸化膜と金属ゲート及び配線が形成されて各西素毎にMOSスイッチを構成している。このMOSスイッチを1西素ずつ導通制御して充電電流を検出するものである。

第3図に示す如き従来の3層構造のものでは各

## 特開昭63-193559 (2)

西素への入射光  $P_1$ 、 $P_2$  に対して  $N^+$  型半導体  $2_1$ 、 $2_6$  の層でその光強度に応じた数の電子・正孔対が発生する。空乏層  $2_2$ 、 $2_7$  には予め一定電圧に充電されており、入射光により発生した電子・正孔対と再結合する。一定時間後に該空乏層  $2_2$ 、 $2_7$  を再充電する際の充電電流を信号として検出する。この時被覆の長い入射光は  $N^+$  型半導体  $2_1$ 、 $2_6$  の層より更に深層の  $P$ -Well  $2_3$  や更に深部の基板  $2_5$  に至り、スマアの原因となる。しかし第3図に示す如き3層構造のものでは、基板  $2_5$  に於いて発生した電子・正孔対は空乏層  $2_4$  によって各西素間即ち  $N^+$  型半導体  $2_1$  と  $2_6$  とは隔離されており、該電子・正孔対の  $N^+$  半導体  $2_1$ 、 $2_6$  への拡散を阻止する様な構成となっている。従って各西素間の信号の混合がなく、クロストークが低減できるという特徴がある。

## (発明が解決しようとする問題点)

しかし、上述の如き従来の3層構造のものでは  $P$ -Well  $2_3$  で発生した電子・正孔対に対しては  $2$

つの西素の間には電位障壁や接合等のキャリアを遮断するものが介在しない事から、該電子・正孔対は該の西素に容易に拡散していく。その為従来の2層構造のものと比べてクロストークは減少するが完全にはなくならないという問題点があった。即ち  $N$  型半導体基板  $2_5$  (深層) で発生した電子・正孔対は各西素間で混合しないが、 $P$ -Well  $2_3$  で発生した電子・正孔対は各西素間で混合する。その為スマアが完全に除去出来ず、西像の邊淡のエッジ部分でのにじみを完全に除去出来ず画質を低下していた。これは  $P$ 、 $N$  が第3図に示すものと全く逆のもの即ち  $P$  型半導体基板に  $N$ -Well を形成し、該  $N$ -Well に  $P$  型半導体 ( $P$ ・拡散) の受光部を形成したものでも全く同様である。

本発明はこれらの欠点を解決し、深層(基板)中に発生した電子・正孔対は勿論、電位井戸(ウェル)中に発生した電子・正孔対も各西素を越えて拡散しない様にして各西素間で信号が混合しない即ちクロストークの無いMOS型ラインセンサーの構造を提案することを目的とする。

## (問題点を解決する為の手段)

上記問題点の解決の為に本発明では西素ごとにウェルを分離する様構成した。

## (作用)

本発明では基板、ウェルが西素毎に電位的に完全に分離しているので各西素間の信号の混合が無く、クロストークを防止する事が出来る。

## (実施例)

第1図は本発明のMOS型ラインセンサーの実施例の2西素分の平面図であって、第1図に於いて、 $3$  はゲート、 $4$  は読み出し線、 $5$  は配線で  $P$ -Well  $1_3$ 、 $1_8$  に一定の電圧を与える。尚、 $P$ -Well の場合はグランド電位である。 $6$  は素子の厚さ方向に並ねて形成された層相互を電気的に接続する為のコンタクトホール、 $7$  はゲート酸化膜、 $8$  はMOSスイッチのドレインを形成する  $N^+$  型半導体の拡散である。受光部  $1_1$ 、 $1_6$ 、ゲート酸化膜

膜  $7$ 、ゲート  $3$ 、ドレイン  $8$ 、読み出し線  $4$  は受光部  $1_1$ 、 $1_6$  をソースとするMOS型FETのスイッチング素子を形成する。ウェル  $1_3$ 、 $1_8$  が、半導体基板上に各西素毎に独立して設けられている。

以上の如く構成したMOS型ラインセンサーの受光部  $1_1$  を含む1西素についての1サイクルの動作を順を追って説明する。

まずゲート  $3$  の電位を高くし、MOS型FETのスイッチをONにし、読み出し線  $4$  を通して、受光部である  $N^+$  型半導体拡散  $1_1$  と  $P$ -Well  $1_3$  との接合容量を一定電圧に充電する。充電が終わればMOS型FETのスイッチをOFFにする。受光部  $1_1$  に入射した光に応じて発生した電子と正孔は、受光部  $1_1$  の接合容量に予め一定電圧に充電された電荷を放電する。一定時間後にゲート  $3$  をONして読み出し線  $4$  から再び一定電圧に充電し、その充電電流から放電した電荷量を検出する。

第2図は第1図の9-10矢視断面図である。入射光  $P_1$  によって、受光領域である  $N^+$  型半

## 特開昭63-193559(3)

導体中性領域11、空乏層12、P-Well13で発生した電子・正孔対のうちP-Well13で発生したものの少数キャリア(電子)の一部は上方へ移動して接合容量即ち前述の如くN<sup>+</sup>型半導体11、P-Well13間の接合容量12に蓄積された電荷を放電する。一方他の一部は下方へ移動して空乏層14、N型半導体基板15で発生した電子・正孔対と共に、第1図の配線5から流れ出る電流になり、隣の受光部21のN<sup>+</sup>拡散に充電されている電荷を放電しない。よってクロストークは発生しない。

尚、第1図にはスキヤナ回路は省略されている。この様な構成即ちP-Wellを各西素毎に分離して構成する為にはP-Wellを形成する際従来使用していたフォトマスクを、各西素毎に分離したフォトマスクに変更すれば良い。

尚、実施例ではN型半導体よりなる基板にP-Well11を形成し、該P-WellにN<sup>+</sup>型半導体を形成する例によって説明したが、これに限らずPとNの逆転した構成つまり、P型半導体よりなる基板にN-

Wellを形成し、該N-WellにP<sup>+</sup>拡散の受光部を構成したものにも本発明は適用出来る事は勿論である。又、実施例ではラインセンサの2西素分を示したが本発明は多数西素のラインセンサは勿論、2次元のMOS型エリアセンサにも適用出来る。

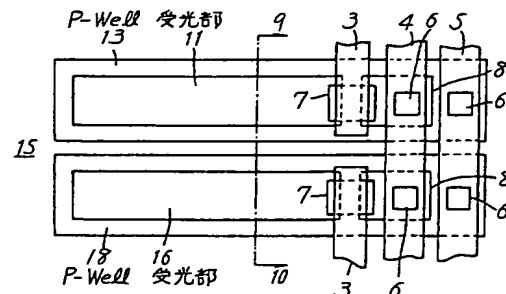
## (発明の効果)

以上のように本発明によれば、素子の厚み方向に積層された各層の何れに於いても、正孔、電子何れに対しても各西素の間に電位障壁或いは接合等の挿入するものを有する構造であり、各層が各西素毎に完全に分離するので各層に発生した正孔、電子対が他西素に拡散する事が無く、クロストークも無くなり、スマートのないMOS型イメージセンサが得られる。

## 4. 図面の簡単な説明

第1図は本発明による装置の平面図、第2図は第1図の断面図、第3図は従来の装置の断面図。

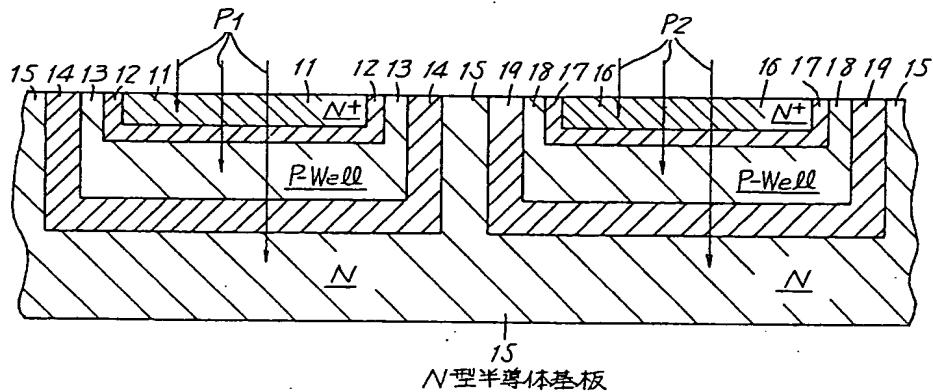
(主要部分の符号の説明)	
1	ケル
2	受光部
3	ゲート
4	読み出し線
5	ウェルの端子
6	コンタクトホール
7	ゲート酸化膜
8	MOS型FETのドレイン
11、16、21、26	N <sup>+</sup> の中性領域(受光部)
13、18、23	ウェルの中性領域(P-Well)
15、25	半導体基板の中性領域
24、14、17、19、21、24、27	空乏層



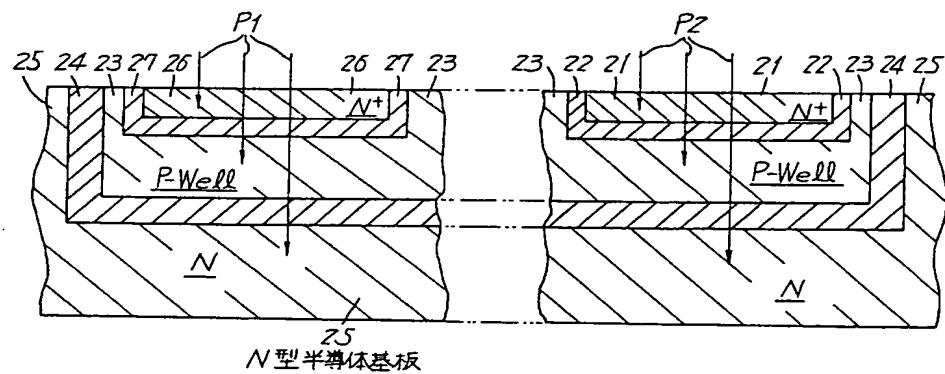
第1図

出願人 日本光学工業株式会社  
代理人 弁理士 渡辺 隆男

特開昭 63-193559 (4)



第 2 図



第 3 図